

Patent

Customer No. 31561
Application No.: 10/604,615
Docket No. 10588-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Lin et al.
Application No. : 10/604,615
Filed : August 5, 2003
For : FABRICATION METHOD FOR SHALLOW TRENCH
ISOLATION REGION
Examiner :

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92108333,
filed on: 2003/04/11.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 10, 2003

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

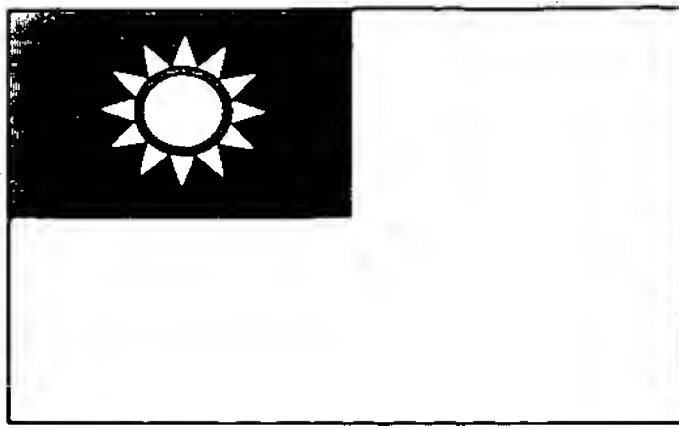
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 11 日
Application Date

申請案號：092108333
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 6 日
Issue Date

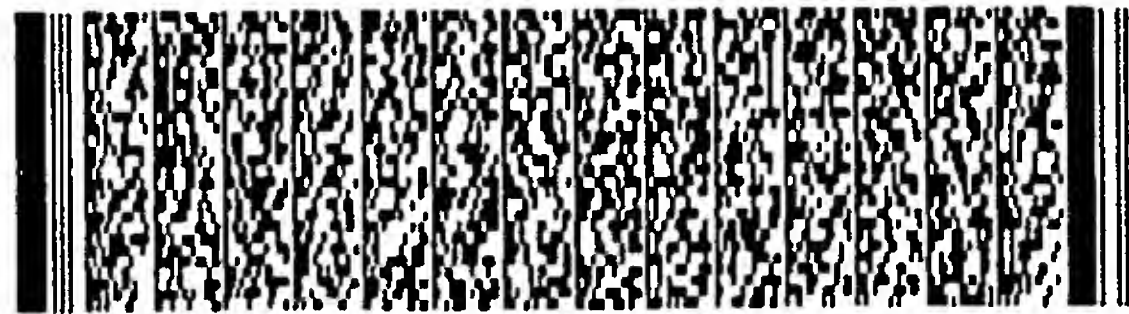
發文字號：09220797070
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	淺溝渠隔離區的製造方法
	英 文	FABRICATION METHOD FOR SHALLOW TRENCH ISOLATION REGION
二、 發明人 (共4人)	姓 名 (中文)	1. 林經祥 2. 廖振偉 3. 施學浩
	姓 名 (英文)	1. Chin-Hsiang Lin 2. Chang-Wei Liao 3. Hsueh-Hao Shih
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 南投縣南投市信義街152巷9弄21號 2. 南投縣竹山鎮大禮路297號 3. 新竹市光復路二段393巷13號2樓
	住居所 (英 文)	1. No. 21, Alley 9, Lane 152, Hsin-Yi St., Nantou, Taiwan, R.O.C. 2. No. 297, Dali Rd., Jushan Jen, Nantou, Taiwan 557, R.O.C. 3. 2F, No. 13, Lane 393, Sec. 2, Kuang-Fu Rd., Hsinchu, Taiwan,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 旺宏電子股份有限公司
	名稱或 姓 名 (英文)	1. MACRONIX International Co., Ltd.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 16, Li-Hsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡定華
	代表人 (英文)	1. Ding-Iluu Ilu



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)
發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 陳光釗
	姓 名 (英 文)	4. Kuang-Chao Chen
	國 籍 (中 英 文)	4. 中華民國 TW
	住居所 (中 文)	4. 新竹縣竹東鎮金福街11巷10號
	住居所 (英 文)	4. No. 10, Lane 11, Chinfu St., Chutung chen, Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：淺溝渠隔離區的製造方法)

一種淺溝渠隔離區的製造方法，此方法先在所形成之溝渠內部分的填入一第一絕緣層之後，再進行一表面處理步驟於部分第一絕緣層之表面與側壁處形成一處理層。隨後，移除處理層，再於第一絕緣層上形成一第二絕緣層，而填滿溝渠，以形成一淺溝渠隔離區。由於本發明係先於溝渠內部份的填入第一絕緣層，再將部分第一絕緣層移除，以降低其深寬比之後，才繼續於溝渠內填入第二絕緣層，因此本發明可以避免因溝渠之高深寬比而造成於淺溝渠隔離區中形成孔洞之缺點。

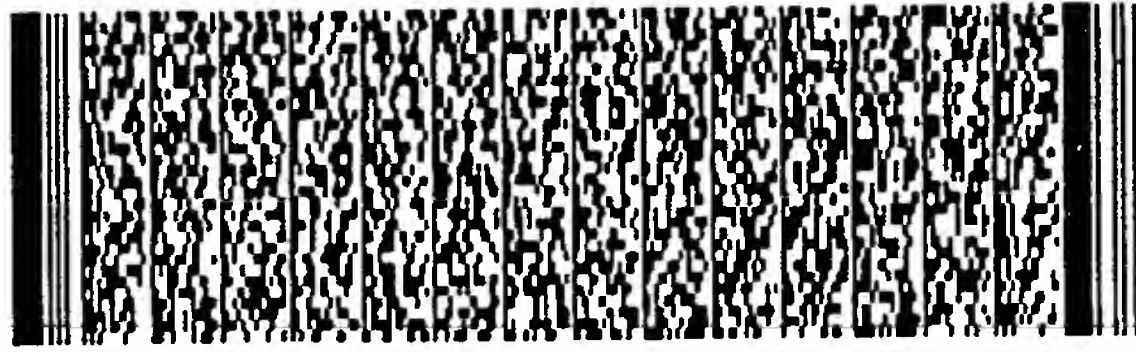
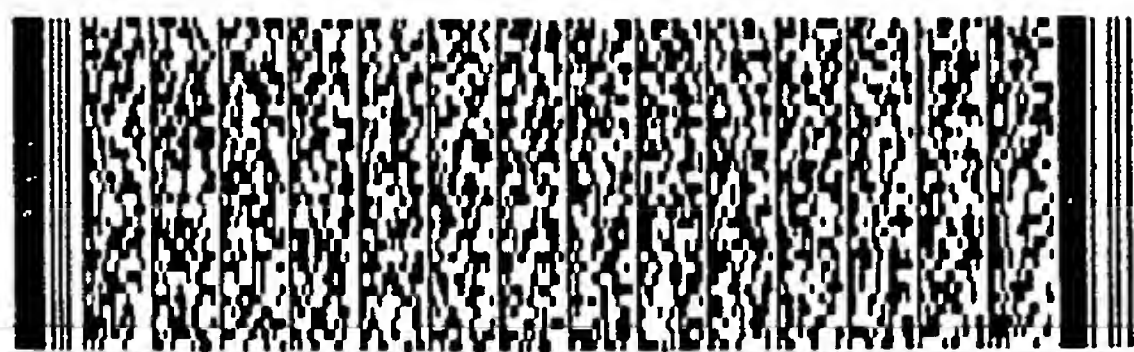
伍、(一)、本案代表圖為：第___1C_____圖

(二)、本案代表圖之元件代表符號簡單說明：

100：基底	102：墊氧化層	104：罩幕層
106：溝渠	108：第一絕緣層	110：表面處理步驟
112：處理層		

陸、英文發明摘要 (發明名稱：FABRICATION METHOD FOR SHALLOW TRENCH ISOLATION REGION)

A fabrication method for a shallow trench isolation region is described. A part of the trench is filled with a first insulation layer, followed by performing a surface treatment process to form a surface treated layer on the surface of a part of the first insulation layer. The surface treated layer is then removed, followed by forming a second insulation layer on the first insulation



四、中文發明摘要 (發明名稱：淺溝渠隔離區的製造方法)

陸、英文發明摘要 (發明名稱：FABRICATION METHOD FOR SHALLOW TRENCH ISOLATION REGION)

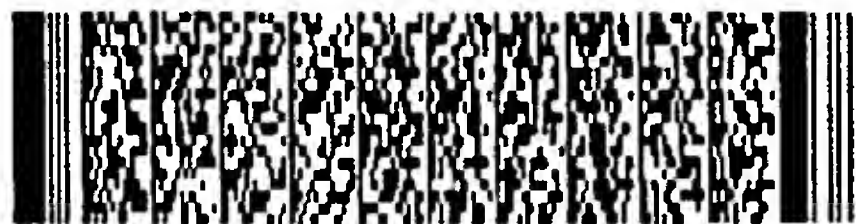
layer and filling the trench to form a shallow trench isolation region. Since a part of the trench is first filled with the first insulation layer, followed by removing a portion of the first insulation layer, the aspect ratio of the trench is lower before the filling of the second insulation in the trench. The adverse result, such as, void formation in the shallow trench



四、中文發明摘要 (發明名稱：淺溝渠隔離區的製造方法)

陸、英文發明摘要 (發明名稱：FABRICATION METHOD FOR SHALLOW TRENCH ISOLATION REGION)

isolation region due to a high aspect ratio, is thus prevented.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種淺溝渠隔離區的製造方法，且特別是有關於一種能防止於淺溝渠隔離區中產生孔洞的方法。

先前技術

淺溝渠隔離法是一種利用非等向性蝕刻的方式在半導體基底中形成溝渠，然後再於溝渠中填入氧化物，以形成元件之隔離區的技術。由於淺溝渠隔離法所形成之隔離區具有可調整大小的優點，並且可避免傳統區域氧化

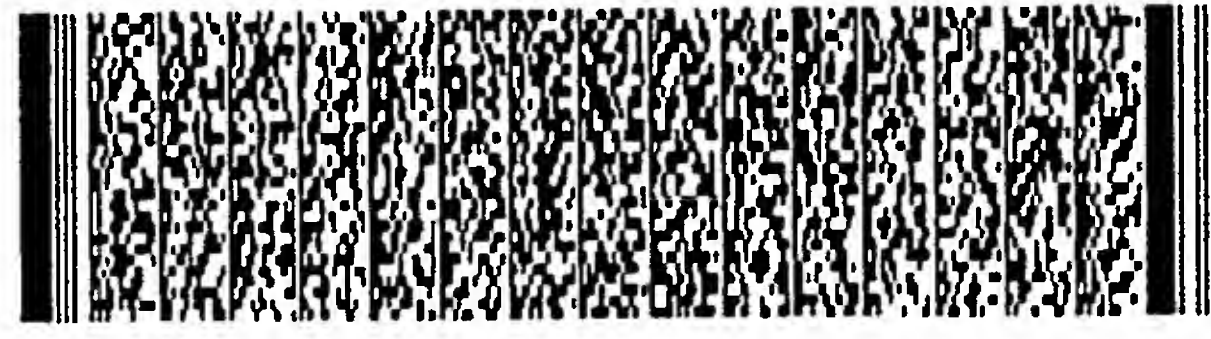
(LOCOS)法隔離技術中鳥嘴侵蝕的缺點，因此，對於次微米的金氧半導體製程而言，是一種較為理想的隔離技術。

然而，隨著積體電路積極度的提升，元件之尺寸也越作越小。當淺溝渠隔離區隨著積體電路積極度的提升而縮小化之後，伴隨而來的問題就是因溝渠過高的深寬比 (Aspect ratio) 而造成氧化層填入溝渠內之填溝不完全，而使得最後所形成之淺溝渠隔離區內會有孔洞產生。倘若在淺溝渠隔離區內存在有孔洞，將會使得淺溝渠隔離區之隔離能力惡化，進而造成元件漏電流或元件可靠度變差等等問題。

發明內容

因此本發明的目的就是提供一種淺溝渠隔離區的製造方法，以解決習知於淺溝渠隔離區中會有孔洞產生，而造成淺溝渠隔離區之隔離能力不佳之問題。

本發明的再一目的是提供一種填溝的方法，以解決當



五、發明說明 (3)

寬比係小於第一材料層之表面。之及側壁，進行一表面處理步驟，以
在中，此表式蝕層之除開口層高度移除第一材料層之表面。之及側壁，進行一表面處理步驟，以
進行一濕處理，移的處理面因此深寬比材料層，並填滿開口內部分。之及側壁，進行一表面處理步驟，以
參數。在此之前，移的處理面因此深寬比材料層，並填滿開口內部分。之及側壁，進行一表面處理步驟，以
處理層之移除之。因此深寬比材料層，並填滿開口內部分。之及側壁，進行一表面處理步驟，以
係大於材料高度。第三深寬比材料層，並填滿開口內部分。之及側壁，進行一表面處理步驟，以
一材料高度。第三深寬比材料層，並填滿開口內部分。之及側壁，進行一表面處理步驟，以
比，且第一深寬比材料層，並填滿開口內部分。之及側壁，進行一表面處理步驟，以
層上形成第一深寬比材料層，並填滿開口內部分。之及側壁，進行一表面處理步驟，以

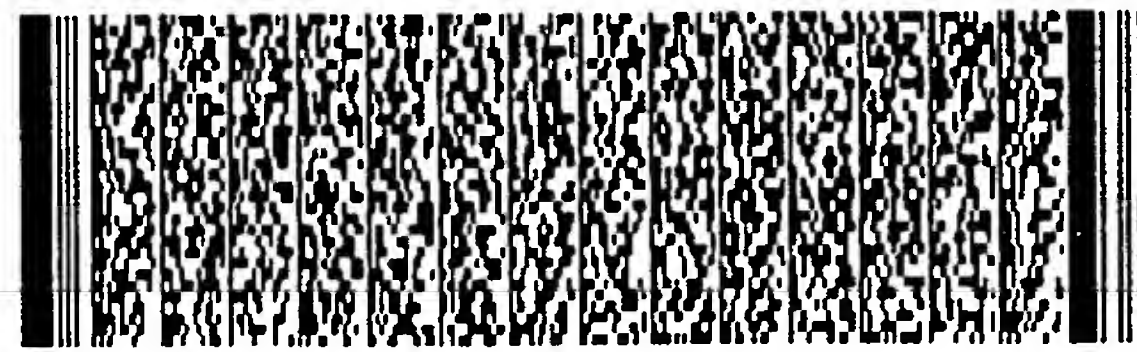
由於本發明係先於開口內部分填入第一材料層之
後，再移除部分第一材料層，以過高的深寬比而導致填溝不
此，本發明之方法可以改善因過高的深寬比而導致填溝不
完全之問題。

由於本發明之淺溝渠隔離區的製造方法可以防止於其
中產生有孔洞，因此利用本發明之方法所製造出之淺溝渠
隔離區具有較佳的隔離效果。

為讓本發明之上述和其他目的、特徵、和優點能更明
顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳
細說明如下：

實施方式

第1A圖至第1G圖所示，其繪示是依照本發明一較佳實



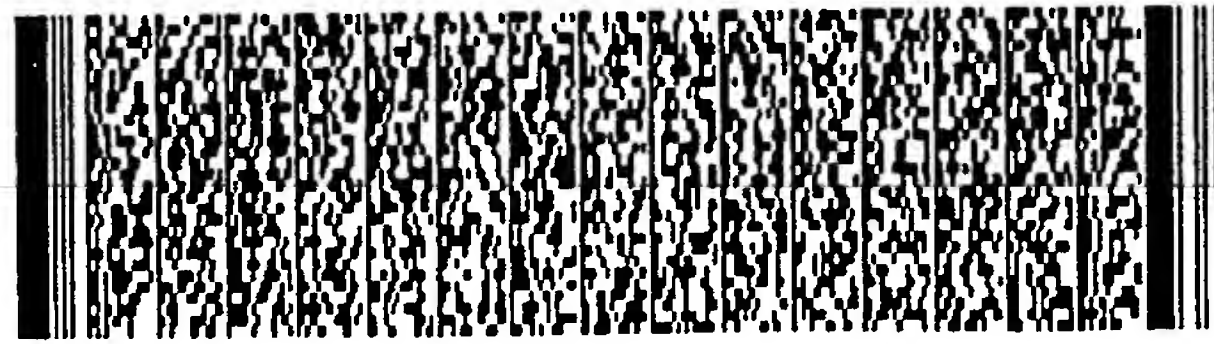
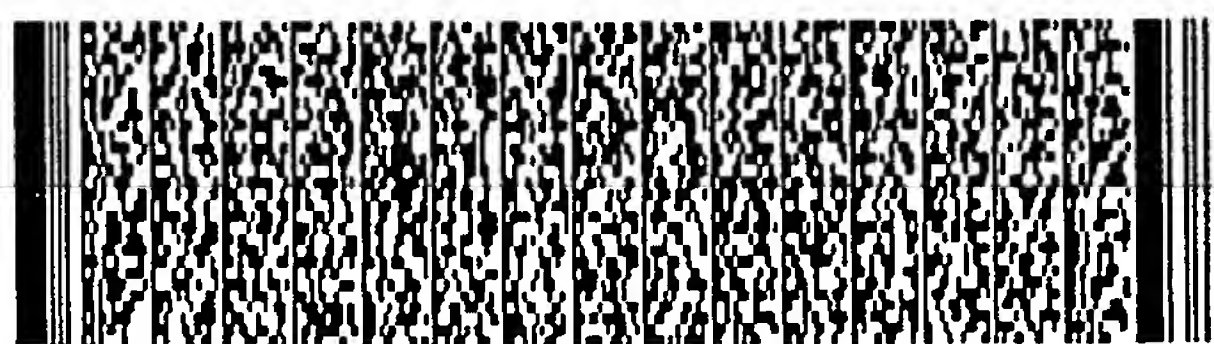
五、發明說明 (4)

施例之淺溝渠隔離區的製造流程剖面示意圖。

請參照第1A圖，在一基底100上形成一墊氧化層102以及一罩幕層104，其中形成墊氧化層102以及罩幕層104之方法例如是進行一熱氧化製程，以在基底100之表面形成一薄氧化層(未繪示)，之後再於薄氧化層上沈積一氮化矽層，接著進行微影製程與蝕刻製程以圖案化氮化矽層，以形成罩幕層104。之後，以罩幕層104為蝕刻罩幕進行一蝕刻製程，圖案化薄氧化層以及基底100，而形成墊氧化層102，並且形成溝渠106。在此，溝渠106具有一深度H以及一寬度W，因此溝渠106之深寬比為 H/W 。

請參照第1B圖，在基底100上形成一第一絕緣層108，而且第一絕緣層108係部分的填入溝渠106內。在此，第一絕緣層108是填入溝渠106的20%~30%左右的厚度，而且填入第一絕緣層108之後之溝渠為106a，且其具有深度 H' 以及寬度 W' ，因此溝渠106a之深寬比為 H'/W' ，而且溝渠106a之深寬比 H'/W' 係小於溝渠106之深寬比 H/W 。在一較佳實施例中，第一絕緣層108之材質例如是氧化矽，而且形成第一絕緣層108之方法例如是化學氣相沈積法，較佳的是高密度電漿化學氣相沈積法。

請參照第1C圖，進行一表面處理步驟110，以在部分第一絕緣層108之表面與側壁處形成一處理層112。在此，表面處理步驟110例如是一傾斜離子植入步驟，且此傾斜離子植入步驟之角度係介於30度至60度之間。除此之外，此傾斜離子植入步驟所使用之摻雜物包括氮氣、氬氣或其

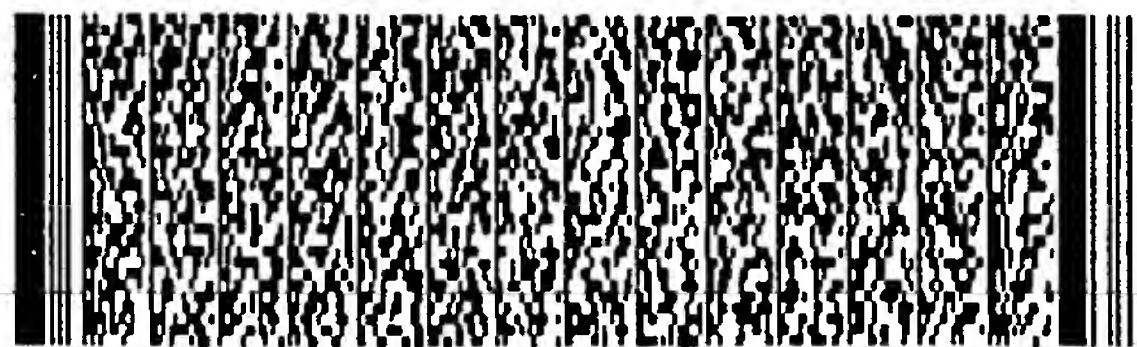


五、發明說明 (5)

他惰性氣體，且傾斜離子植入步驟之能量係介於20 KeV至100 KeV，傾斜離子植入步驟之劑量係介於 $1E15 / \text{cm}^2$ 至 $1E16 / \text{cm}^2$ 。

由於上述表面處理步驟110係以30度至60度左右的角度作植入，因此僅會在部分第一絕緣層108之表面與側壁處被植入摻雜物而形成處理層112，而且處理層112與其他第一絕緣層108之間之蝕刻速率會有所差異。在此，倘若上述之傾斜離子植入步驟所使用之摻雜物為氮氣，則所形成之處理層112之蝕刻速率約為155至165埃/分鐘。倘若上述之傾斜離子植入步驟所使用之摻雜物為氬氣，則所形成之處理層112之蝕刻速率約為195至205埃/分鐘。而未有摻雜物植入的第一絕緣層108之蝕刻速率則是120至125埃/分鐘左右。

請參照第1D圖，進行一蝕刻製程，較佳的是一濕式蝕刻製程，以移除第一絕緣層108表面之處理層112，移除處理層112之後的溝渠為106b。其中，溝渠106b之深度為 H'' 且寬度為 W'' ，因此溝渠106b的深寬比為 H''/W'' 。特別值得一提的是，溝渠106b的深度 H'' 係小於或等於溝渠106a之深度 H' ，但是溝渠106b的深寬 W'' 係大於溝渠106a之寬度 W' 。換言之，在移除處理層112之前與移除處理層112之後的溝渠深度並無太大改變，但是在移除處理層112之後的溝渠寬度會明顯變大，而且移除處理層112之後第一材料層108之表面高度係小於移除處理層112之前第一材料層108的表面高度。因此，溝渠106b之深寬比 H''/W'' 係小於溝



五、發明說明 (6)

渠106之深寬比 H/W 。如此一來，後續於溝渠106b內填絕緣材料時，便可以輕易的且完全的將溝渠106b填滿。

請參照第1E圖，在基底100上形成一第二絕緣層114，並填滿溝渠106b，而第一絕緣層108a與第二絕緣層114係共同作為淺溝渠隔離區之絕緣材料層116。在一較佳實施例中，第二絕緣層114之材質例如是氧化矽，而形成第二絕緣層114之方法例如是化學氣相沈積法，較佳的是高密度電漿化學氣相沈積法。

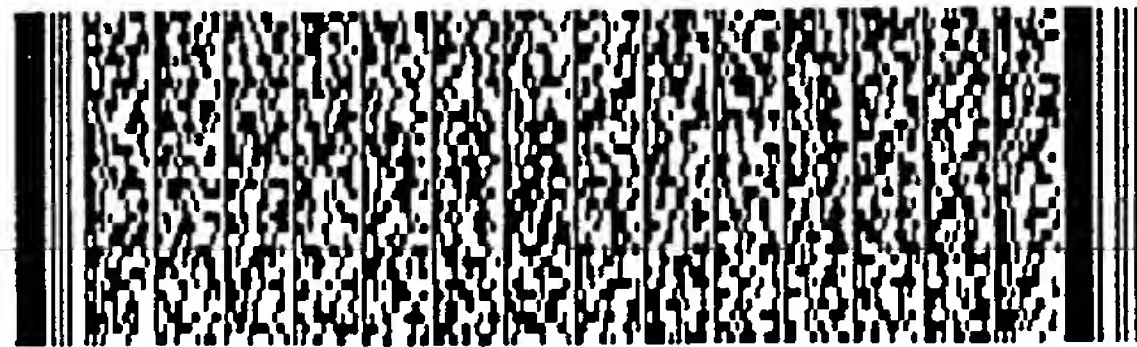
如同先前所述，由於溝渠106b之深寬比 H''/W'' 相較於溝渠106之深寬比 H/W 來說已大幅的降低，因此，本發明之方法可以使溝渠完全的被絕緣材料層116填滿，而不會有孔洞存在於其中。

請參照第1F圖，移除部分絕緣材料層116，直到罩幕層104暴露出來。在此，移除部分絕緣層116之方法例如是進行一化學機械研磨製程或是一回蝕刻製程。

請參照第1G圖，將罩幕層104以及墊氧化層102移除，而完成一淺溝渠隔離區之製作。

由於本發明之淺溝渠隔離區的製造方法係先於溝渠內部份的填入第一絕緣層之後，再移除部分第一絕緣層，以使溝渠之深寬比降低，然後才繼續將溝渠填滿，因此本發明之方法可以完全的將溝渠填滿，而不會於隔離區中形成有孔洞。因此，本發明所形成之淺溝渠離區具有較佳的隔離能力。

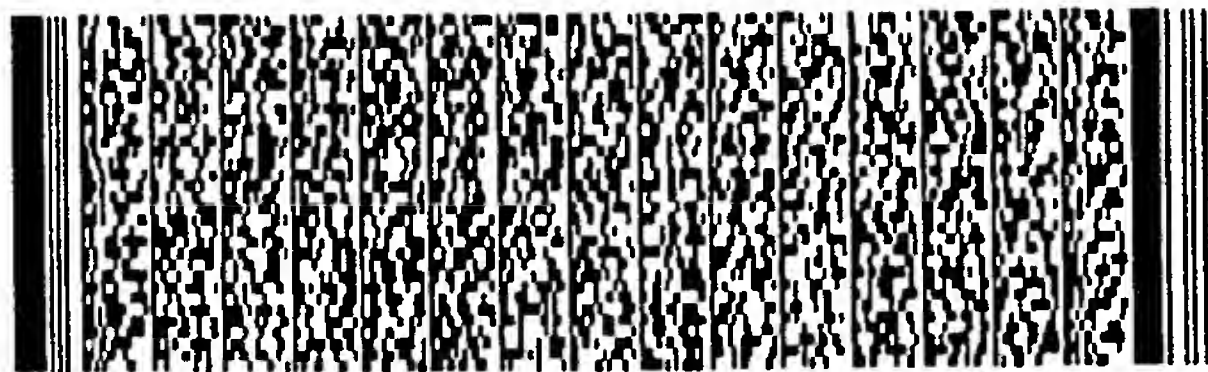
本發明藉由改善淺溝渠隔離區製程中絕緣材料之填溝



五、發明說明 (7)

效果的方式，可以有效地避免於隔離區中產生孔洞。因此，本發明先於開口內部分的填入第一材料層，再移除部分第一材料層，以降低開口之深寬比之方式，亦可以應用在其他填溝製程（填開口製程）中，例如可以應用在有機材料或是金屬材料等等的填溝製程（填開口製程），而並非僅能用淺溝渠隔離製程中。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

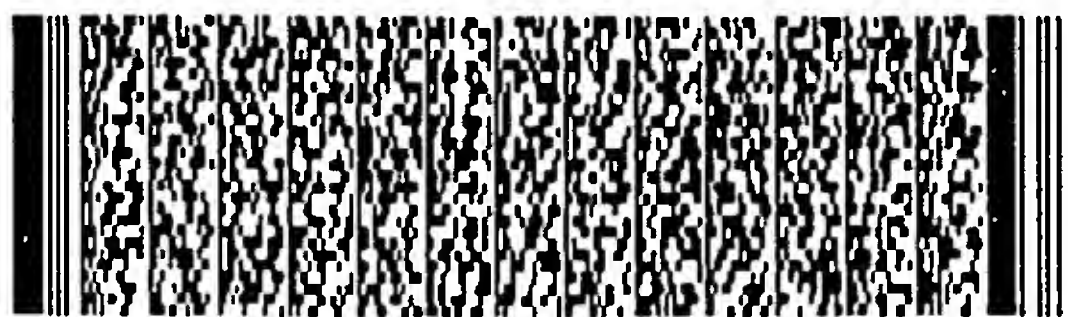


圖式簡單說明

第1A圖至第1G圖是依照本發明一較佳實施例之淺溝隔離區的製造流程剖面示意圖。

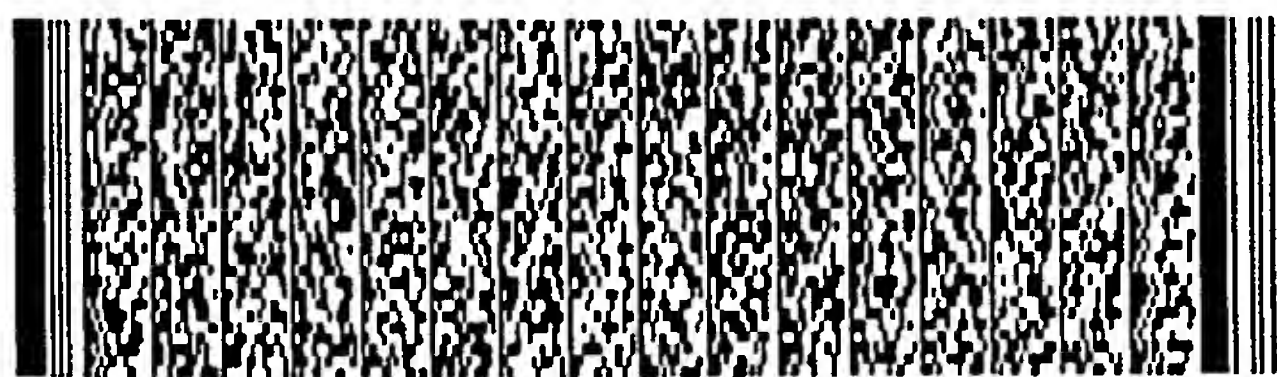
圖式標示說明

- 100 : 基底
- 102 : 墊氧化層
- 104 : 罩幕層
- 106、106a、106b : 溝渠
- 108、108a : 第一絕緣層
- 110 : 表面處理步驟
- 112 : 處理層
- 114 : 第二絕緣層
- 116 : 絕緣層
- H、H'、H'' : 深度
- W、W'、W'' : 寬度



六、申請專利範圍

1. 一種淺溝渠隔離區的製造方法，包括：
在一基底上形成一罩幕層；
以該罩幕層為一蝕刻罩幕圖案化該基底，以形成一溝渠；
在該溝渠內部分的填入一第一絕緣層；
進行一表面處理步驟，以在部分該第一絕緣層之表面與側壁處形成一處理層；
移除該處理層；
在該第一絕緣層上形成一第二絕緣層，並填滿該溝渠；以及
移除該罩幕層，以形成一淺溝渠隔離區。
2. 如申請專利範圍第1項所述之淺溝渠隔離區的製造方法，其中該溝渠於填入該第一絕緣層之前具有一第一深寬比，而該溝渠在移除該處理層之後具有一第三深寬比，該第三深寬比係小於該第一深寬比。
3. 如申請專利範圍第1項所述之淺溝渠隔離區的製造方法，其中移除該處理層之後之該溝渠寬度係大於移除該處理層之前之該溝渠寬度。
4. 如申請專利範圍第1項所述之淺溝渠隔離區的製造方法，其中移除該處理層之後之該溝渠深度係小於或等於移除該處理層之前之該溝渠深度。
5. 如申請專利範圍第1項所述之淺溝渠隔離區的製造方法，其中該表面處理步驟包括一傾斜離子植入步驟。
6. 如申請專利範圍第5項所述之淺溝渠隔離區的製造



六、申請專利範圍

方法，其中該傾斜離子植入步驟之角度係介於30度至60度之間。

7. 如申請專利範圍第5項所述之淺溝渠隔離區的製造方法，其中該傾斜離子植入步驟所使用之一摻雜物包括氮氣、氬氣或其他惰性氣體。

8. 如申請專利範圍第5項所述之淺溝渠隔離區的製造方法，其中該傾斜離子植入步驟之能量係介於20 KeV至100 KeV。

9. 如申請專利範圍第5項所述之淺溝渠隔離區的製造方法，其中該傾斜離子植入步驟之劑量係介於 $1E15 / cm^2$ 至 $1E16 / cm^2$ 。

10. 如申請專利範圍第1項所述之淺溝渠隔離區的製造方法，其中移除該處理層之方法包括一濕式蝕刻法。

11. 如申請專利範圍第1項所述之淺溝渠隔離區的製造方法，其中形成該第一絕緣層與該第二絕緣層包括一高密度電漿化學氣相沈積法。

12. 一種填溝的方法，包括：

提供一基底，該基底中已形成有一開口；

在該開口內部分的填入一第一材料層；

進行一表面處理步驟，以在部分該第一材料層之表面與側壁處形成一處理層；

移除該處理層；以及

在該第一材料層上形成一第二材料層，並填滿該開口。



六、申請專利範圍

13. 如申請專利範圍第12項所述之填溝的方法，其中該開口於填入該第一材料層之前具有一第一深寬比，而該開口在移除處理層後具有一第三深寬比，該第三深寬比係小於該第一深寬比。

14. 如申請專利範圍第12項所述之填溝的方法，其中移除該處理層之後之該開口寬度係大於移除該處理層之前之該開口寬度。

15. 如申請專利範圍第12項所述之填溝的方法，其中移除該處理層之後之該開口深度係小於或等於移除該處理層之前之該開口深度。

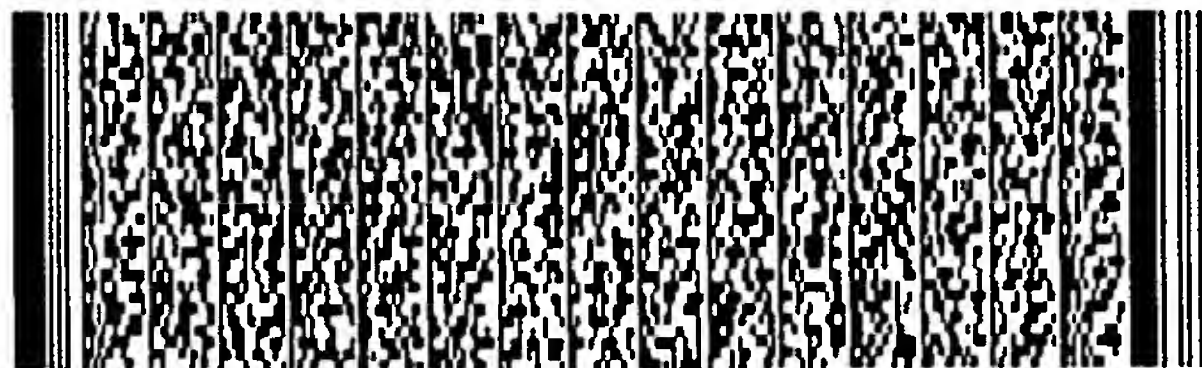
16. 如申請專利範圍第12項所述之填溝的方法，其中該表面處理步驟包括一傾斜離子植入步驟。

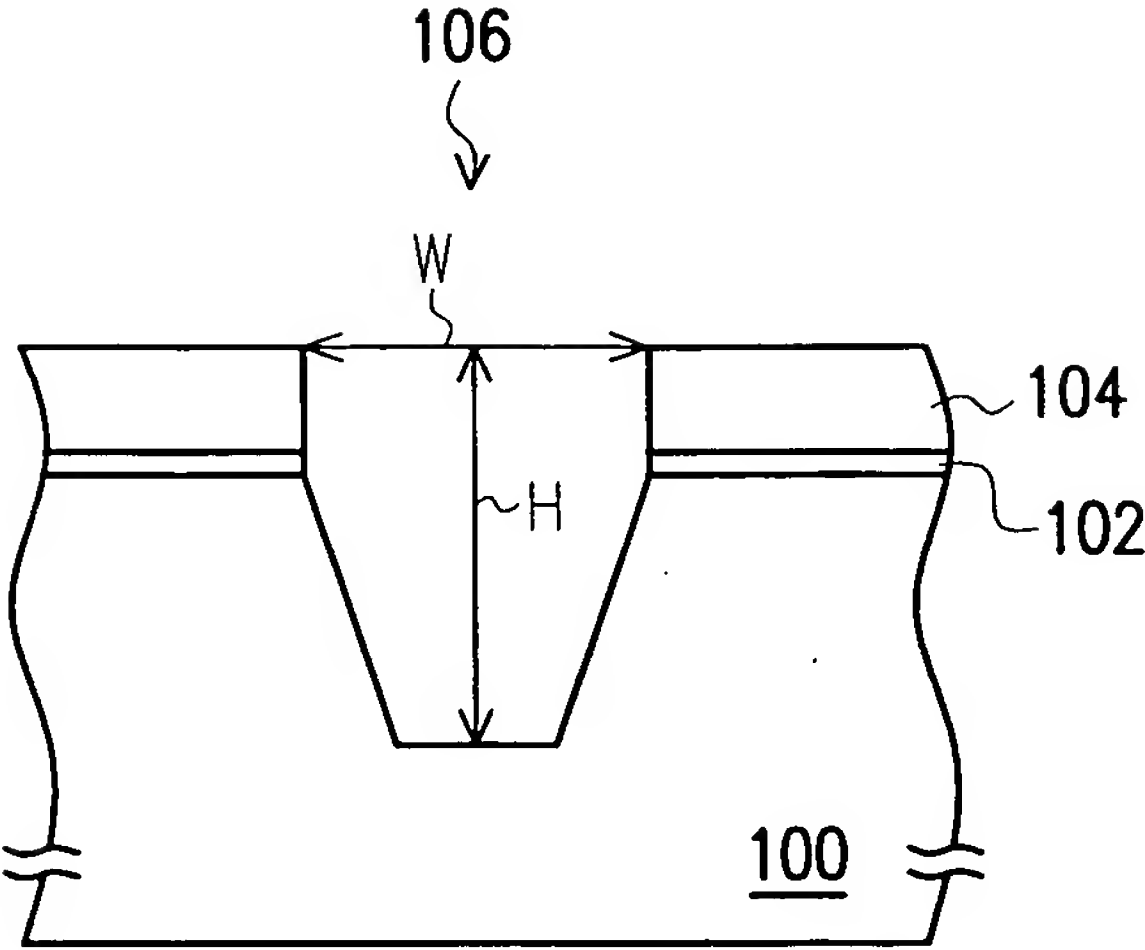
17. 如申請專利範圍第16項所述之填溝的方法，其中該傾斜離子植入步驟之角度係介於30度至60度之間。

18. 如申請專利範圍第16項所述之填溝的方法，其中該傾斜離子植入步驟所使用之一摻雜物包括氮氣、氬氣或其他惰性氣體。

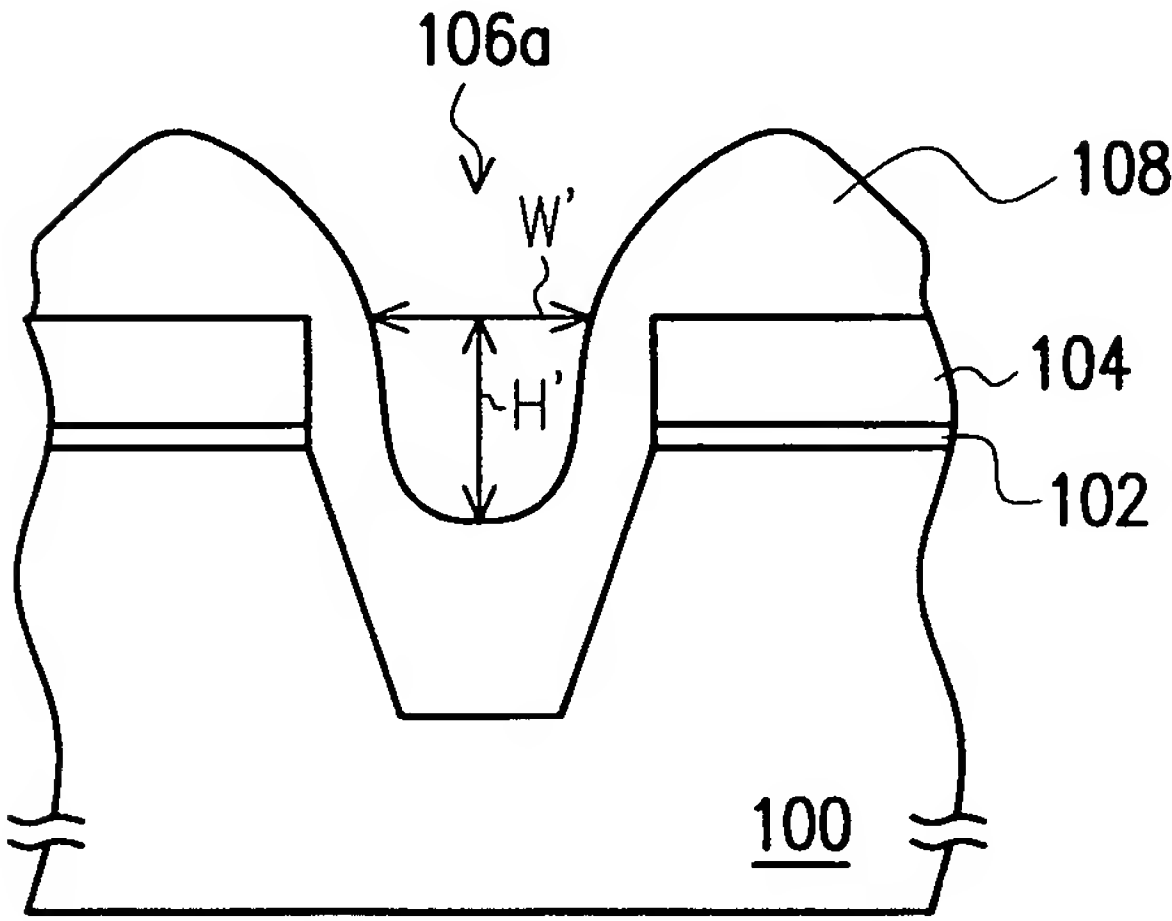
19. 如申請專利範圍第16項所述之填溝的方法，其中該傾斜離子植入步驟之能量係介於20 KeV至100 KeV。

20. 如申請專利範圍第16項所述之填溝的方法，其中該傾斜離子植入步驟之劑量係介於 $1E15 / \text{cm}^2$ 至 $1E16 / \text{cm}^2$ 。

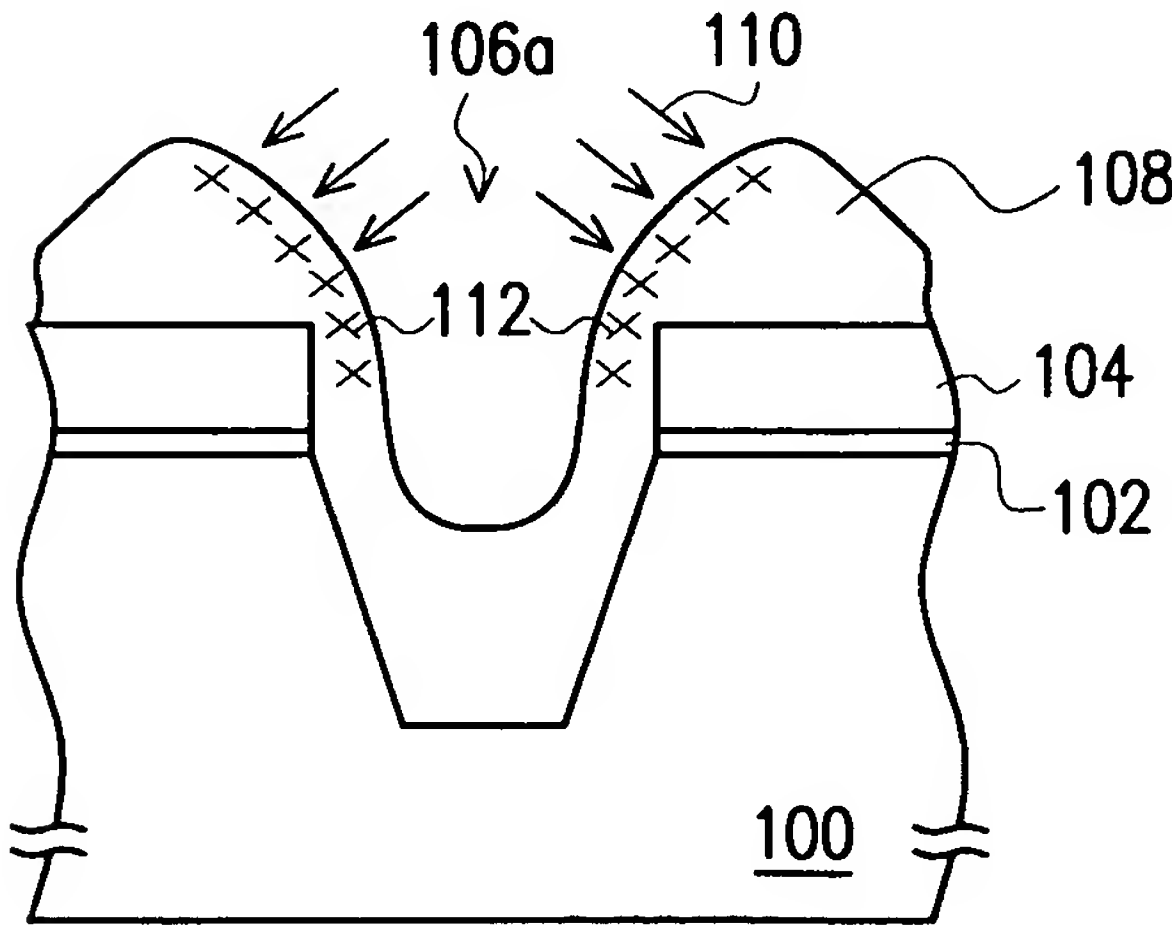




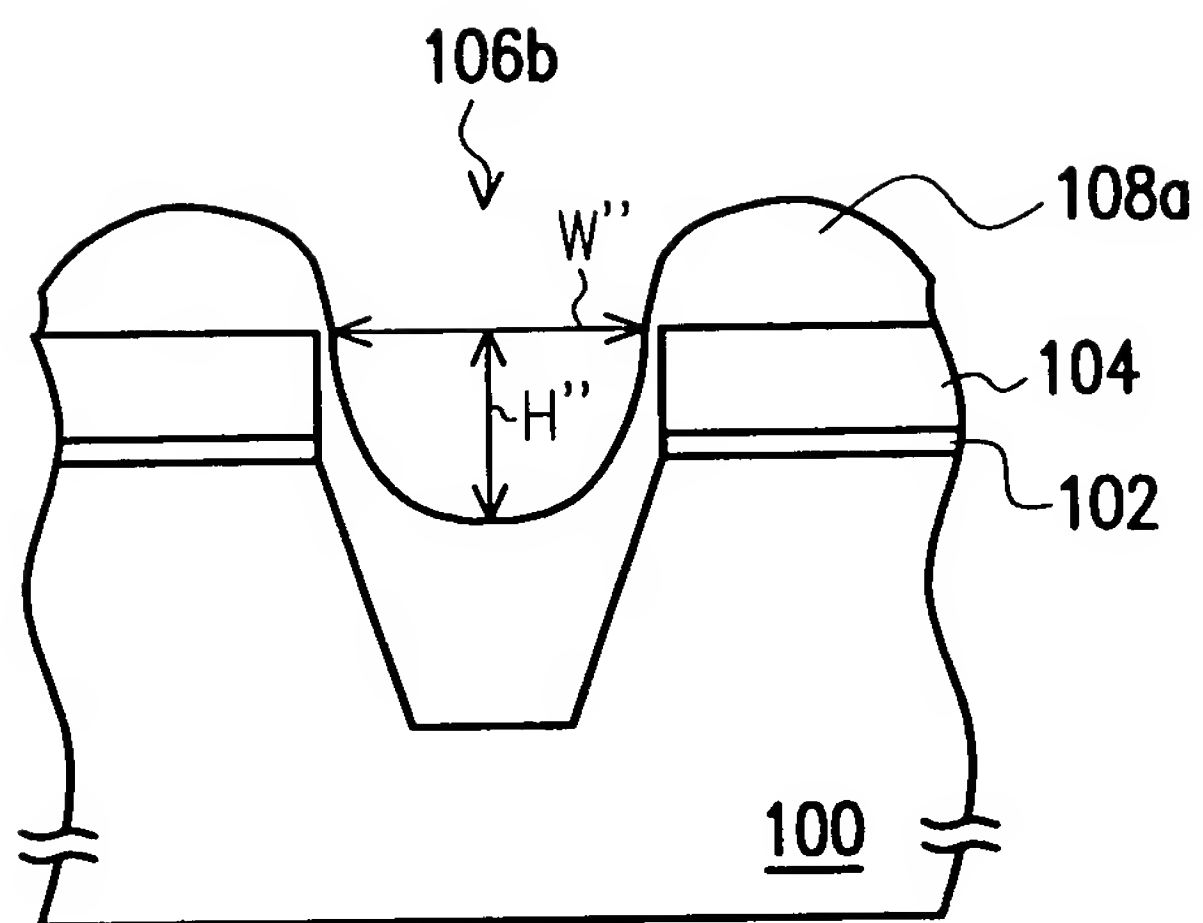
第 1A 圖



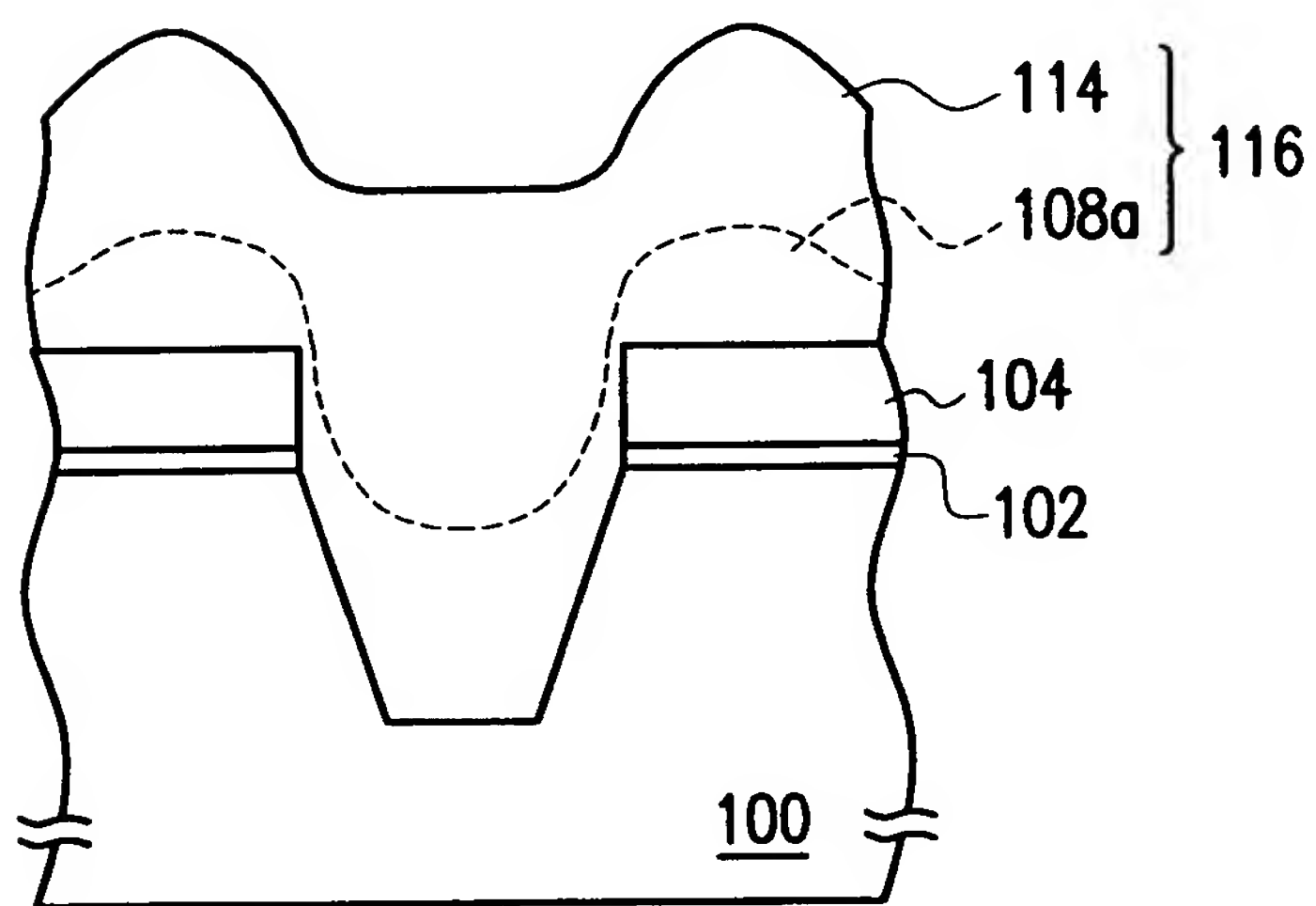
第 1B 圖



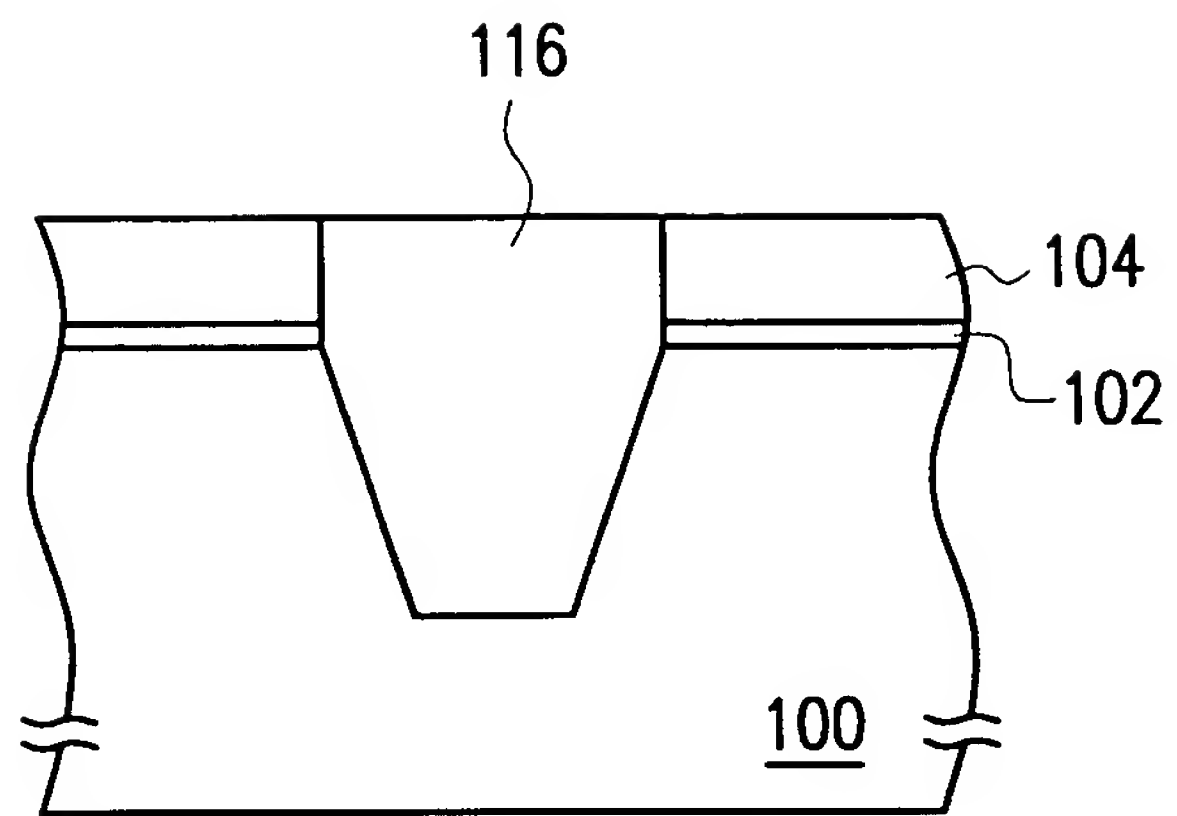
第 1C 圖



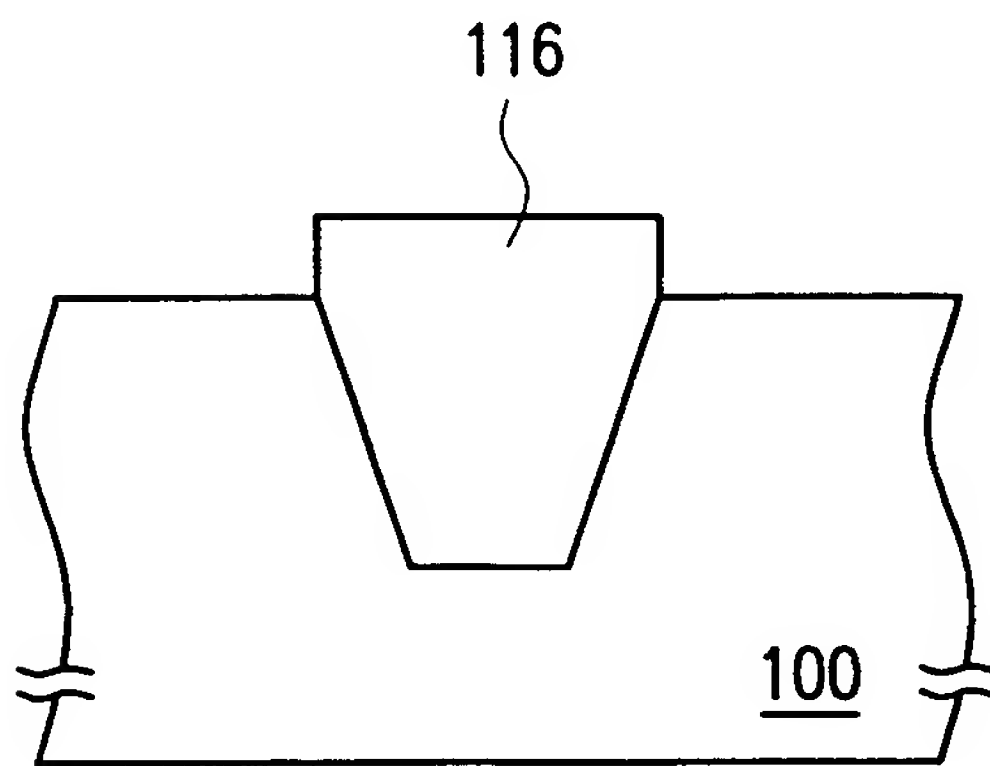
第 1D 圖



第 1E 圖



第 1F 圖







第 1G 圖




Figure 1



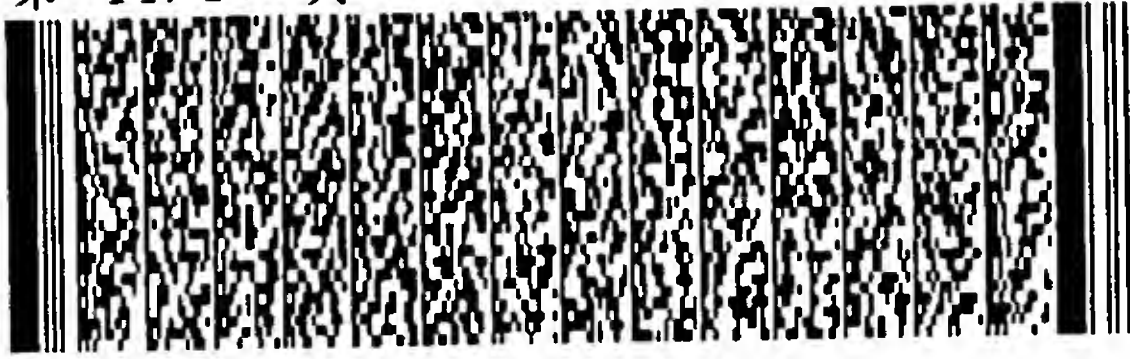
Figure 1



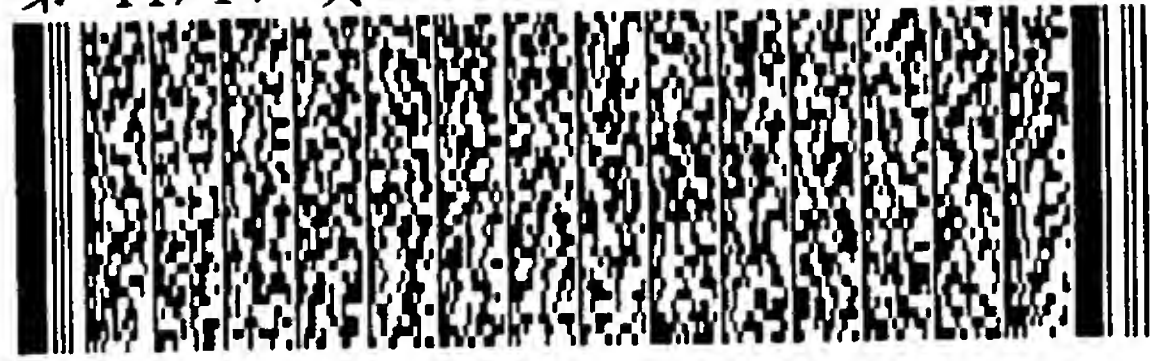
100



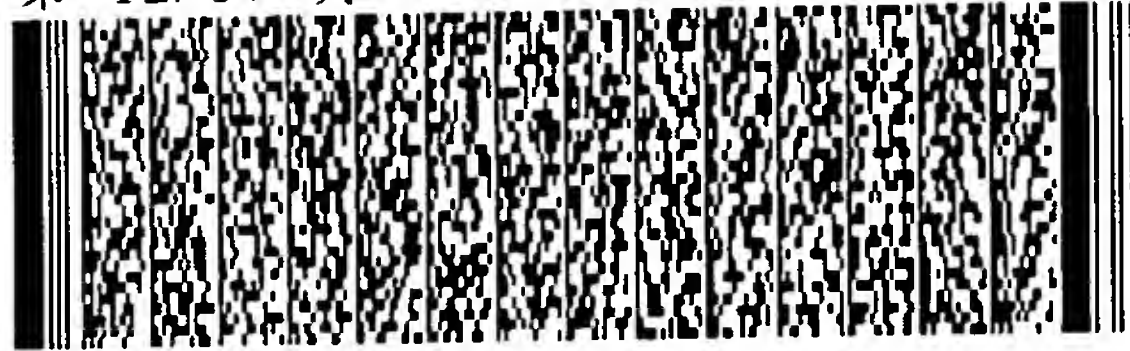
第 11/17 頁



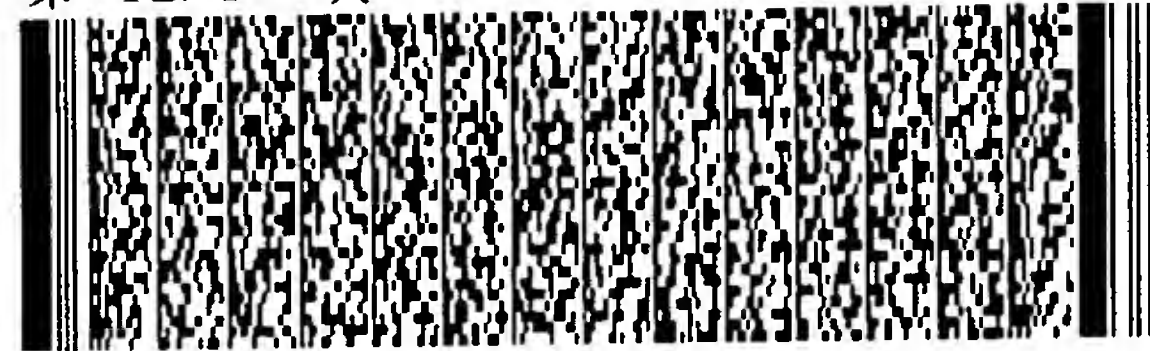
第 11/17 頁



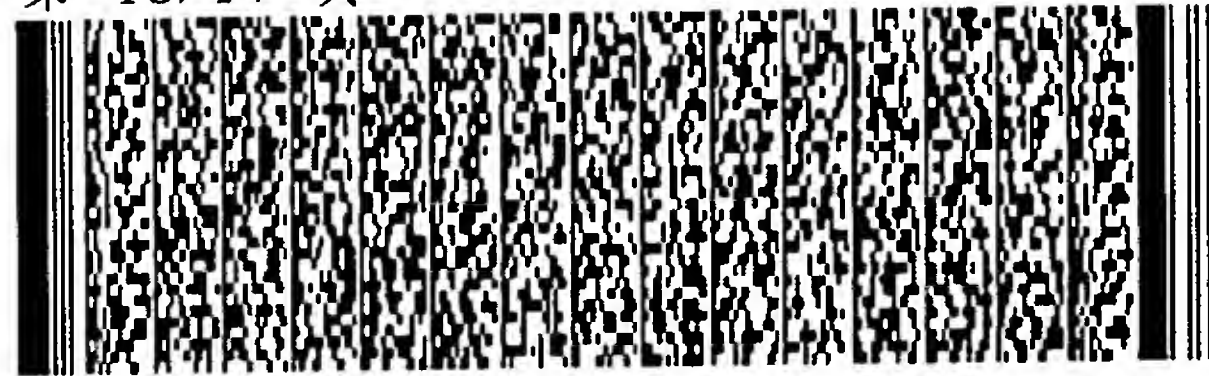
第 12/17 頁



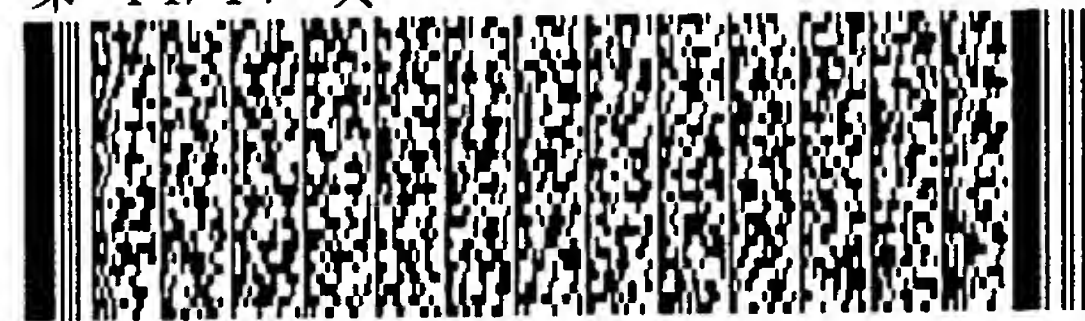
第 12/17 頁



第 13/17 頁



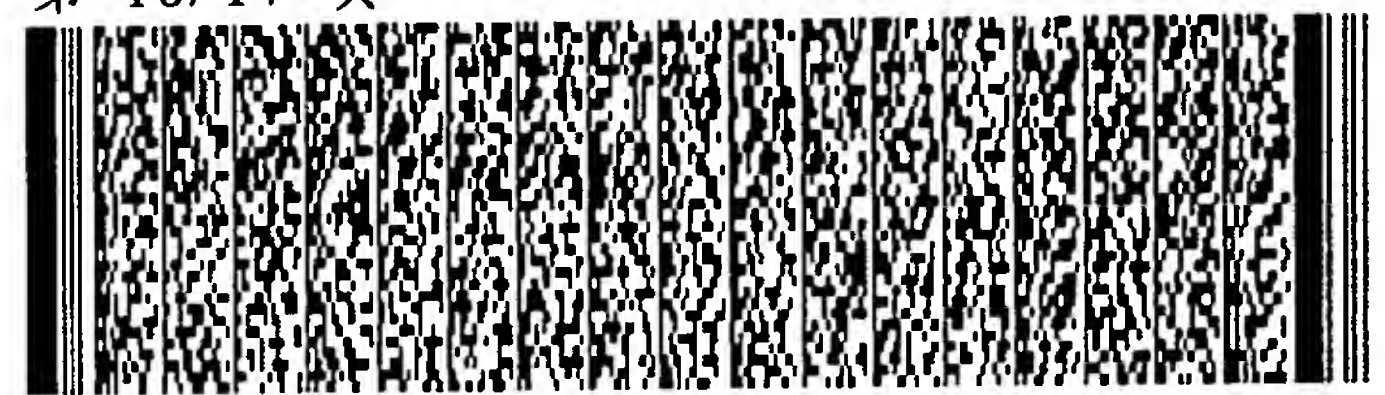
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

